

(1)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-330466

(43) 公開日 平成11年(1999)11月30日

JC892 U.S. PTO
09/667559
09/22/00

(51) Int.Cl.⁹

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

6 5 2 K

6 5 3 A

6 5 4 Z

審査請求 未請求 請求項の数9 O L (全 12 頁)

(21) 出願番号 特願平10-136794

(22) 出願日 平成10年(1998) 5 月19日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 長谷川 滋

神奈川県川崎市幸区小向東芝町 1 株式会

社東芝多摩川工場内

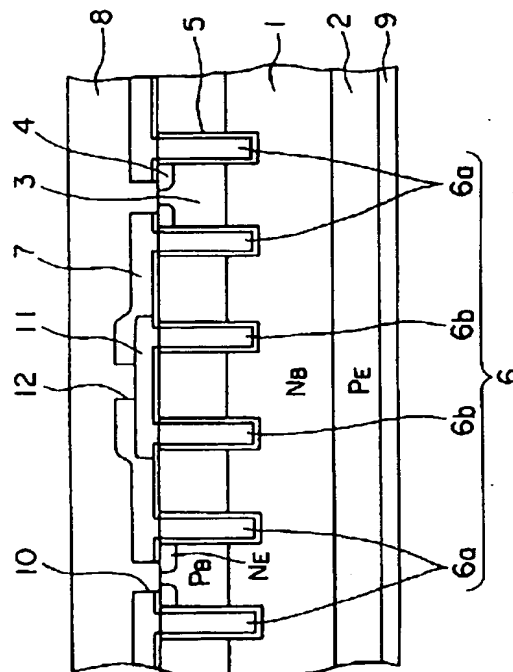
(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

(54) 【発明の名称】 絶縁ゲート型半導体装置

(57) 【要約】

【課題】 製造歩留の低下やゲート配線抵抗の増大等の弊害を生ずることなくゲート容量を低減し、大面積素子の場合や素子を並列動作させる場合におけるスイッチング時の電流及び電圧波形振動が小さい絶縁ゲート型半導体装置を提供する。

【解決手段】 本発明に係る絶縁ゲート型半導体装置は、略平行に形成された複数のトレンチゲート電極を備えた絶縁ゲート型半導体装置において、トレンチゲート電極のうち、チャネル形成に寄与するチャネル形成用トレンチゲート電極以外の間引き用トレンチゲート電極が、ゲート配線部から絶縁され、かつ、エミッタ電極又はエミッタ電位に対し負の電位を発生させる所定の電位発生手段に接続されているものである。



【特許請求の範囲】

【請求項 1】略平行に形成された複数のトレンチゲート電極を備えた絶縁ゲート型半導体装置において、

前記トレンチゲート電極のうち、チャンネル形成に寄与するチャンネル形成用トレンチゲート電極以外の間引き用トレンチゲート電極は、ゲート配線部から絶縁され、かつ、エミッタ電極又はエミッタ電位に対し負の電位を発生させる所定の電位発生手段に接続されているものであることを特徴とする絶縁ゲート型半導体装置。

【請求項 2】裏面側から表面側に向かって順に P 型エミッタ層、N 型ベース層、P 型ベース層が形成された半導体基板の前記表面側から前記 N 型ベース層上層部に達する所定の深さに凹設された複数の略平行のトレンチ内に形成された複数のトレンチゲート電極を備えた絶縁ゲート型半導体装置において、

前記トレンチゲート電極は、チャンネル形成に寄与するチャンネル形成用トレンチゲート電極であって、順に並んだ 2 個ごとに 1 組を構成するものであり、かつ、前記トレンチの前記所定の深さは、順方向電圧印加時に前記トレンチゲート電極先端部から伸張して形成される空乏層が、前記トレンチゲート電極が近接する前記 N 型ベース層と前記 P 型ベース層との接合部から伸張して形成される空乏層と融合し、前記トレンチゲート電極先端部における前記空乏層の曲率が緩和される程度の深さであることを特徴とする絶縁ゲート型半導体装置。

【請求項 3】裏面側から表面側に向かって順に P 型エミッタ層、N 型ベース層、P 型ベース層が形成された半導体基板の前記表面側から前記 N 型ベース層上層部に達する所定の深さに凹設された複数の略平行のトレンチ内に形成された複数のトレンチゲート電極を備えた絶縁ゲート型半導体装置において、

前記トレンチゲート電極は、チャンネル形成に寄与するチャンネル形成用トレンチゲート電極であって、順に並んだ 2 個ごとに 1 組を構成するものであり、かつ、前記トレンチの前記所定の深さは、前記 N 型ベース層と前記 P 型ベース層との接合面からの深さが $3\ \mu\text{m}$ 以下となる深さであることを特徴とする絶縁ゲート型半導体装置。

【請求項 4】裏面側から表面側に向かって順に P 型エミッタ層、N 型ベース層、P 型ベース層が形成された半導体基板と、

前記半導体基板の前記表面側から前記 N 型ベース層上層部に達する深さに凹設された複数の略平行のトレンチと、

前記各トレンチ内面上及び前記半導体基板表面上に形成されたゲート酸化膜と、

ゲートに印加される電圧を伝達するゲート配線部と、
前記ゲート酸化膜が形成された前記各トレンチ内にそれぞれ形成されたトレンチゲート電極であって、順に並んだ 4 個以上の所定個数ごとに 1 組を構成し、かつ、前記 1 組を構成するもののうち両端の 2 個が前記ゲート配線

部に接続されたチャンネル形成用トレンチゲート電極とされ、前記 2 個のチャンネル形成用トレンチゲート電極の間の残余のものが前記ゲート配線部から絶縁された間引き用トレンチゲート電極とされる複数組のトレンチゲート電極と、

一の組に属する前記チャンネル形成用トレンチゲート電極と前記一の組に隣接する他の組の前記チャンネル形成用トレンチゲート電極とに挟まれた前記 P 型ベース層の前記半導体基板表面及び前記チャンネル形成用トレンチゲート電極の近傍部分にそれぞれ形成された N 型エミッタ層と、

前記各組ごとに前記各間引き用トレンチゲート電極上面の一部又は全部を覆って形成され、一の組に属する前記各間引き用トレンチゲート電極を相互に接続するポリシリコン層と、

前記チャンネル形成用トレンチゲート電極の一部又は全部及び前記ポリシリコン層の一部を覆って形成され、かつ、前記 P 型ベース層及び前記 N 型エミッタ層が形成された各部分並びに前記ポリシリコン層が形成された各部分にそれぞれコンタクトホールが開設された絶縁酸化膜と、

前記絶縁酸化膜を覆って形成され、かつ、前記 P 型ベース層及び前記 N 型エミッタ層並びに前記ポリシリコン層に接続されたエミッタ電極と、

前記半導体基板の裏面側の前記 P 型エミッタ層上に形成されたコレクタ電極と、を備えたことを特徴とする絶縁ゲート型半導体装置。

【請求項 5】前記ゲート配線部は、前記チャンネル形成用トレンチゲート電極が形成されている部分では第 1 の幅で、前記間引き用トレンチゲート電極が形成されている部分では前記第 1 の幅よりも小さい第 2 の幅で、形成されていることを特徴とする請求項 4 に記載の絶縁ゲート型半導体装置。

【請求項 6】前記間引き用トレンチゲート電極及び前記間引き用トレンチゲート電極が形成されている前記トレンチの前記ゲート配線部側の端部は、前記ゲート配線部から離隔して形成され、かつ、前記ゲート配線部は、一定の幅で形成されていることを特徴とする請求項 4 に記載の絶縁ゲート型半導体装置。

【請求項 7】裏面側から表面側に向かって順に P 型エミッタ層、N 型ベース層、P 型ベース層が形成された半導体基板と、

前記半導体基板の前記表面側から前記 N 型ベース層上層部に達する所定の深さに、第 1、第 2 の距離を交互において、凹設された複数の略平行のトレンチと、

前記各トレンチ内面上及び前記半導体基板表面上に形成されたゲート酸化膜と、

ゲートに印加される電圧を伝達するゲート配線部と、
前記ゲート酸化膜が形成された前記各トレンチ内にそれぞれ形成され、かつ、前記ゲート配線部に接続されたト

レンチゲート電極であって、前記第 1 の距離をおいて順に並んだ 2 個ごとに 1 組を構成する複数組のトレンチゲート電極と、

一の組に属する前記トレンチゲート電極と前記一の組に隣接する他の組の前記トレンチゲート電極とに挟まれた前記 P 型ベース層の前記半導体基板表面及び前記トレンチゲート電極の近傍部分にそれぞれ形成された N 型エミッタ層と、

前記トレンチゲート電極の一部又は全部を覆って形成され、かつ、前記 P 型ベース層及び前記 N 型エミッタ層が形成された各部分にそれぞれコンタクトホールが開設された絶縁酸化膜と、

前記絶縁酸化膜を覆って形成され、かつ、前記 P 型ベース層及び前記 N 型エミッタ層に接続されたエミッタ電極と、

前記半導体基板の裏面側の前記 P 型エミッタ層上に形成されたコレクタ電極とを備え、

前記トレンチの前記所定の深さは、順方向電圧印加時に前記トレンチゲート電極先端部から伸張して形成される空乏層が、前記トレンチゲート電極が近接する前記 N 型ベース層と前記 P 型ベース層との接合部から伸張して形成される空乏層と融合し、前記トレンチゲート電極先端部における前記空乏層の曲率が緩和される程度の深さであることを特徴とする絶縁ゲート型半導体装置。

【請求項 8】裏面側から表面側に向かって順に P 型エミッタ層、N 型ベース層、P 型ベース層が形成された半導体基板と、

前記半導体基板の前記表面側から前記 N 型ベース層上部に達する所定の深さに、第 1、第 2 の距離を交互において、凹設された複数の略平行のトレンチと、

前記各トレンチ内面上及び前記半導体基板表面上に形成されたゲート酸化膜と、

ゲートに印加される電圧を伝達するゲート配線部と、

前記ゲート酸化膜が形成された前記各トレンチ内にそれぞれ形成され、かつ、前記ゲート配線部に接続されたトレンチゲート電極であって、前記第 1 の距離をおいて順に並んだ 2 個ごとに 1 組を構成する複数組のトレンチゲート電極と、

一の組に属する前記トレンチゲート電極と前記一の組に隣接する他の組の前記トレンチゲート電極とに挟まれた前記 P 型ベース層の前記半導体基板表面及び前記トレンチゲート電極の近傍部分にそれぞれ形成された N 型エミッタ層と、

前記トレンチゲート電極の一部又は全部を覆って形成され、かつ、前記 P 型ベース層及び前記 N 型エミッタ層が形成された各部分にそれぞれコンタクトホールが開設された絶縁酸化膜と、

前記絶縁酸化膜を覆って形成され、かつ、前記 P 型ベース層及び前記 N 型エミッタ層に接続されたエミッタ電極と、

前記半導体基板の裏面側の前記 P 型エミッタ層上に形成されたコレクタ電極とを備え、

前記トレンチの前記所定の深さは、前記 N 型ベース層と前記 P 型ベース層との接合面からの深さが $3\ \mu\text{m}$ 以下となる深さであることを特徴とする絶縁ゲート型半導体装置。

【請求項 9】前記第 1 の距離は、前記第 2 の距離よりも大きい距離であることを特徴とする請求項 7 又は 8 のいずれかに記載の絶縁ゲート型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁ゲート型半導体装置に係り、特に、トレンチゲート型 IEGT (Injection Enhanced Gate Transistor) に関するものである。

【0002】

【従来の技術】図 7 は、トレンチゲート型 IEGT の平面図である。

【0003】図 7 に示したトレンチゲート型 IEGT は、耐圧を得るために基板周縁領域に設けられた終端領域 51 内部にゲートパッド 52 と 5 個の素子領域 54 とが配置されている。終端領域 51、ゲートパッド 52 及び 5 個の素子領域 54 の境界部にはゲート配線部 53 が形成されている。各素子領域 54 内部には、図示する方向のストライプ状のトレンチゲート電極 6 を有するトレンチゲート型 IEGT が配設されている。ゲートパッド 52 に印加される電圧は、ゲート配線部 53 を介してトレンチゲート電極 6 に伝達される。

【0004】以下、従来のトレンチゲート型 IEGT について説明する。

【0005】図 8 は、従来のトレンチゲート型 IEGT の第 1 の断面における断面構造図であり、図 7 に示したトレンチゲート型 IEGT のトレンチゲート電極 6 に垂直な直線 AA' における断面構造図である。

【0006】図 8 に示した従来のトレンチゲート型 IEGT の第 1 の断面における構造は、以下のように構成されている。P 型エミッタ層 2 上に N 型ベース層 1、P 型ベース層 3 が順に形成されている。基板表面から P 型ベース層 3 及び N 型ベース層 1 の上層部まで、トレンチゲート電極 6 を形成するためのストライプ状のトレンチが所定間隔ごとに略平行に凹設され、基板表面及びトレンチ内部表面にはゲート酸化膜 5 が形成されている。ゲート酸化膜 5 が形成されたトレンチ内部には、低抵抗化されたポリシリコンからなるゲート電極であるトレンチゲート電極 6 が形成されている。

【0007】このトレンチゲート型 IEGT におけるトレンチゲート電極 6 は並んだ順に 4 個 1 組とされ、1 組を構成する 4 個のトレンチゲート電極 6 のうち、両端の 2 個がチャネル形成用トレンチゲート電極 6a であり、その間に挟まれた残余の 2 個が間引き用トレンチゲート

電極 6b である。一の組に属するチャネル形成用トレンチゲート電極 6a と当該一の組に隣接する他の組のチャネル形成用トレンチゲート電極 6a とに挟まれた P 型ベース層 3 の基板表面及びチャネル形成用トレンチゲート電極 6a の近傍部分には N 型エミッタ層 4 が形成されている。

【0008】基板表面のゲート酸化膜 5 及びトレンチゲート電極 6 上面の一部又は全部を覆って絶縁酸化膜 7 が形成され、N 型エミッタ層 4 が形成されたトレンチ間領域中央部においてゲート酸化膜 5 及び絶縁酸化膜 7 にはコンタクトホール 10 が開設されている。これらを覆って基板表面側全面にエミッタ電極 8 が形成され、また、基板裏面側の P 型エミッタ層 2 全面を覆ってコレクタ電極 9 が形成されている。従って、エミッタ電極 8 は、コンタクトホール 10 において N 型エミッタ層 4 及び P 型ベース層 3 に接続されている。

【0009】トレンチゲート型 IEGT においてはエミッタ側のコンタクトを総てのトレンチ間領域には形成せず、図 8 に示した従来のトレンチゲート型 IEGT の場合、トレンチ間領域 4 個に 1 個の割合でコンタクトホール 10 を形成したコンタクト領域を設けており、トレンチ間領域の総数とコンタクト領域の個数との比が 4 : 1 となっている。

【0010】間引き用トレンチゲート電極 6b はチャネル形成には寄与しないが、順方向電圧印加時にチャネル形成用トレンチゲート電極 6a 先端部周囲まで伸張して形成される空乏層を、そのチャネル形成用トレンチゲート電極 6a に隣接する間引き用トレンチゲート電極 6b 先端部周囲まで伸張して形成される空乏層と融合させて、チャネル形成用トレンチゲート電極 6a 先端部周囲における空乏層の曲率を緩和させることにより、素子耐圧の低下を防止する役割を果たす。従って、間引き用トレンチゲート電極 6b がなければ、素子耐圧が低下してしまうことになる。

【0011】図 9 は、従来のトレンチゲート型 IEGT の第 2 の断面における断面構造図であり、図 7 に示したトレンチゲート型 IEGT のゲート配線部 53 に対し、トレンチゲート電極 6 に平行な方向に交差する直線 B-B' における断面構造図である。

【0012】図 9 に示した従来のトレンチゲート型 IEGT の第 2 の断面における構造は、以下のように構成されている。P 型エミッタ層 2 上に N 型ベース層 1 が形成されており、図 7 に示したゲート配線部 53 下の部分における N 型ベース層 1 上には P⁺層 13 が形成されている。P⁺層 13 上のゲート配線領域には絶縁酸化膜 14 が形成されている。P⁺層 13 の両側にはトレンチが形成され、これらを覆ってゲート酸化膜 5 が形成されている。ゲート酸化膜 5 が形成されたトレンチ内にはポリシリコンからなるトレンチゲート電極 6 が形成されている。トレンチゲート電極 6 の P⁺層 13 側の端部上の部

分、並びに、ゲート酸化膜 5 上の部分のうち P⁺層 13 及び絶縁酸化膜 14 上の部分を覆って、トレンチゲート電極 6 と同様にポリシリコンからなるトレンチゲート引出部 6' が形成されており、トレンチゲート引出部 6' がトレンチゲート電極 6 の P⁺層 13 側の端部に接続されていることにより、トレンチゲート電極 6 はゲート配線部 53 まで引き出され、ゲート配線部 53 に接続されることになる。トレンチゲート引出部 6' 上には絶縁酸化膜 7 が形成され、絶縁酸化膜 7 のゲート配線領域部分は除去されている。ゲート配線領域部分が除去された絶縁酸化膜 7 の上から、低抵抗化のためのゲート配線用金属 15 がトレンチゲート引出部 6' 上に形成されており、ゲート配線用金属 15 及びトレンチゲート引出部 6' によりゲート配線部 53 が構成されている。トレンチゲート電極 6 が形成されている領域上には、絶縁酸化膜 7 が形成され、その上にエミッタ電極 8 が形成されている。

【0013】図 10 は、図 7 の領域 C における従来のトレンチゲート型 IEGT の平面図である。尚、図 8 は、図 10 に示されたトレンチゲート電極 6 (6a 及び 6b) に垂直な直線 A-A' における断面構造図でもある。

【0014】図 10 に示されるように、トレンチゲート電極 6a、6b が所定間隔ごとのストライプ状に形成されており、これらのトレンチゲート電極 6a、6b は、上述のように、並んだ順に 4 個 1 組とされ、1 組を構成する 4 個のトレンチゲート電極 6 のうち、両端の 2 個がチャネル形成用トレンチゲート電極 6a であり、その間に挟まれた残余の 2 個が間引き用トレンチゲート電極 6b である。これらのトレンチゲート電極 6a、6b の上面の一部又は全部を覆って図 8 又は図 9 における酸化絶縁膜 7 (図 10 には図示せず。) が形成されており、酸化絶縁膜 7 には、一の組に属するチャネル形成用トレンチゲート電極 6a と当該一の組に隣接する他の組のチャネル形成用トレンチゲート電極 6a とに挟まれた領域にコンタクトホール 10 が開設されており、コンタクトホール 10 において図 8 又は図 9 におけるエミッタ電極 8 (図 10 には図示せず。) が N 型エミッタ層 4 及び P 型ベース層 3 に接続されている。また、チャネル形成用トレンチゲート電極 6a 及び間引き用トレンチゲート電極 6b は、いずれもそれらの端部からポリシリコンを引き出す構造とすることによりゲート配線部 53 に接続されている。

【0015】図 8 乃至図 10 に示した従来のトレンチゲート型 IEGT においては、上述のように間引き用トレンチゲート電極 6b を設けてコンタクトの間引き構造を採用することにより、素子がオン状態のときのホールの排出抵抗及び電子の注入効率を増大させ、低い順方向オン電圧を実現している (その他、従来のトレンチゲート型 IEGT についての詳細は、'M. Kitagawa, I. Omura, S. Hasegawa, T. Inoue, and A. Nakagawa, "A 4500V In

jection Enhanced Insulated Gate Bipolar Transistor (IEGT) in a Mode Similar to a Thyristor", IEDM'93, pp. 679-682, 1993. を参照されたい。)。

【0016】

【発明が解決しようとする課題】しかしながら、上述した従来のトレンチゲート型 IEGT においては、間引き用トレンチゲート電極もゲートパッドに接続されているため、ゲート・コレクタ電極間のゲート容量が増大し、大面積素子の場合や素子を並列動作させる場合にスイッチング時の電流及び電圧波形振動が大きく発振しやすいという問題があった。

【0017】本発明は上記問題点を鑑みてなされたもので、その目的は、製造歩留の低下やゲート配線抵抗の増大等の弊害を生ずることなくゲート容量を低減し、大面積素子の場合や素子を並列動作させる場合におけるスイッチング時の電流及び電圧波形振動が小さい絶縁ゲート型半導体装置を提供することである。

【0018】

【課題を解決するための手段】本発明に係る絶縁ゲート型半導体装置によれば、略平行に形成された複数のトレンチゲート電極を備えた絶縁ゲート型半導体装置において、トレンチゲート電極のうち、チャネル形成に寄与するチャネル形成用トレンチゲート電極以外の間引き用トレンチゲート電極は、ゲート配線部から絶縁され、かつ、エミッタ電極又はエミッタ電位に対し負の電位を発生させる所定の電位発生手段に接続されているものとする。即ち、間引き用トレンチゲート電極は、その電位が、常に、エミッタ電位と同電位又はエミッタ電位に対し負の電位とされているものとする。この構成により、素子耐圧の低下を招くことなくゲート容量が低減され、大面積素子の場合や素子を並列動作させる場合におけるスイッチング時の電流及び電圧波形振動が小さいトレンチゲート型 IEGT を得ることができる。

【0019】また、本発明に係る絶縁ゲート型半導体装置の他の構成によれば、裏面側から表面側に向かって順に P 型エミッタ層、N 型ベース層、P 型ベース層が形成された半導体基板の表面側から N 型ベース層上層部に達する所定の深さに、第 1、第 2 の距離を交互において、凹設された複数の略平行のトレンチ内に形成された複数のトレンチゲート電極を備えた絶縁ゲート型半導体装置において、トレンチゲート電極は、チャネル形成に寄与するチャネル形成用トレンチゲート電極であって、順に並んだ 2 個ごとに 1 組を構成するものであり、かつ、トレンチの所定の深さは、順方向電圧印加時にトレンチゲート電極先端部から伸張して形成される空乏層が、トレンチゲート電極が近接する N 型ベース層と P 型ベース層との接合部から伸張して形成される空乏層と融合し、トレンチゲート電極先端部における空乏層の曲率が緩和される程度の深さであるものとする。トレンチの所定の深さは、具体的には、N 型ベース層と P 型ベース層との接

合面からの深さが $3\mu\text{m}$ 以下となる深さであるものとする。この構成により、トレンチゲート電極先端部における空乏層の曲率が緩和されるので、間引き用トレンチゲート電極がなくても素子耐圧が低下することがなく、間引き用トレンチゲート電極が不要となる。従って、間引き用トレンチゲート電極とエミッタ電極との接続部も不要となるため、製造歩留まりの大幅な向上が実現されるほか、一素子内のトレンチの本数が削減されることによりトレンチ内部の応力に起因する結晶歪み等の問題も発生することがない。また、チャネル形成用トレンチゲート電極と近接する間引き用トレンチゲート電極がないため、ゲート・エミッタ間のゲート容量も低減され、本実施の形態においても、大面積素子の場合や素子を並列動作させる場合におけるスイッチング時の電流及び電圧波形振動が小さいトレンチゲート型 IEGT を得ることができる。

【0020】

【発明の実施の形態】以下、本発明に係る絶縁ゲート型半導体装置の実施の形態について、図面を参照しながら説明する。

【0021】図 1 は、本発明の第 1 の実施の形態に係る絶縁ゲート型半導体装置（トレンチゲート型 IEGT）の第 1 の断面における断面構造図であり、図 7 に示したトレンチゲート型 IEGT のトレンチゲート電極 6 に垂直な直線 AA' における断面構造図である。また、従来のトレンチゲート型 IEGT についての図 8 に相当する図面である。

【0022】図 1 に示した本発明の第 1 の実施の形態に係るトレンチゲート型 IEGT の断面における構造は、以下のように構成されている。P 型エミッタ層 2 上に N 型ベース層 1、P 型ベース層 3 が順に形成されている。基板表面から P 型ベース層 3 及び N 型ベース層 1 の上層部まで、トレンチゲート電極 6 を形成するためのストライプ状のトレンチが所定間隔ごとに略平行に凹設され、基板表面及びトレンチ内部表面にはゲート酸化膜 5 が形成されている。ゲート酸化膜 5 が形成されたトレンチ内部には、低抵抗化されたポリシリコンからなるゲート電極であるトレンチゲート電極 6 が形成されている。

【0023】本発明の第 1 の実施の形態に係るトレンチゲート型 IEGT におけるトレンチゲート電極 6 は並んだ順に 4 個 1 組とされ、1 組を構成する 4 個のトレンチゲート電極 6 のうち、両端の 2 個がチャネル形成用トレンチゲート電極 6 a であり、その間に挟まれた残余の 2 個が間引き用トレンチゲート電極 6 b である。一の組に属するチャネル形成用トレンチゲート電極 6 a と当該一の組に隣接する他の組のチャネル形成用トレンチゲート電極 6 a とに挟まれた P 型ベース層 3 の基板表面及びチャネル形成用トレンチゲート電極 6 a の近傍部分には N 型エミッタ層 4 が形成されている。そして、各組に属する各間引き用トレンチゲート電極 6 b は、基板表面のゲ

ート酸化膜 5 及び間引き用トレンチゲート電極 6 b 上面の一部又は全部をトレンチゲート電極 6 と同一の材料により覆って形成された、低抵抗化されたポリシリコン層 1 1 により、それぞれ相互に接続されている。

【0024】基板表面のゲート酸化膜 5 及びチャンネル形成用トレンチゲート電極 6 a 上面の一部又は全部並びにポリシリコン層 1 1 を覆って絶縁酸化膜 7 が形成され、N 型エミッタ層 4 が形成されたトレンチ間領域中央部においてゲート酸化膜 5 及び絶縁酸化膜 7 にはコンタクトホール 1 0 が開設され、さらに、各間引き用トレンチゲート電極 6 b を接続するポリシリコン層 1 1 上の部分において絶縁酸化膜 7 にはコンタクトホール 1 2 が開設されている。これらを覆って基板表面側全面にエミッタ電極 8 が形成され、また、基板裏面側の P 型エミッタ層 2 全面を覆ってコレクタ電極 9 が形成されている。従って、エミッタ電極 8 は、コンタクトホール 1 0 において N 型エミッタ層 4 及び P 型ベース層 3 に接続され、コンタクトホール 1 2 において各間引き用トレンチゲート電極 6 b を接続するポリシリコン層 1 1 に接続されている。

【0025】図 2 は、図 7 の領域 C における本発明の第 1 の実施の形態に係るトレンチゲート型 I E G T の平面図であり、従来のトレンチゲート型 I E G T についての図 1 0 に相当する図面である。尚、図 1 は、図 2 に示されたトレンチゲート電極 6 (6 a 及び 6 b) に垂直な直線 A A' における断面構造図でもある。

【0026】図 2 に示されるように、トレンチゲート電極 6 a、6 b が所定間隔ごとのストライプ状に形成されており、これらのトレンチゲート電極 6 a、6 b は、上述のように、並んだ順に 4 個 1 組とされ、1 組を構成する 4 個のトレンチゲート電極 6 のうち、両端の 2 個がチャンネル形成用トレンチゲート電極 6 a であり、その間に挟まれた残余の 2 個が間引き用トレンチゲート電極 6 b である。各組に属する 2 個の間引き用トレンチゲート電極 6 b は、それらの上面の一部又は全部を覆って形成されたポリシリコン層 1 1 により相互に接続されている。

【0027】これらのトレンチゲート電極 6 a、6 b の上面の一部又は全部を覆って図 1 における酸化絶縁膜 7 (図 2 には図示せず) が形成されており、酸化絶縁膜 7 には、一の組に属するチャンネル形成用トレンチゲート電極 6 a と当該一の組に隣接する他の組のチャンネル形成用トレンチゲート電極 6 a とに挟まれた領域にコンタクトホール 1 0 が開設されており、コンタクトホール 1 0 において図 1 におけるエミッタ電極 8 (図 2 には図示せず。以下同じ) が N 型エミッタ層 4 及び P 型ベース層 3 に接続されている。また、酸化絶縁膜 7 には、各組に属する 2 個の間引き用トレンチゲート電極 6 b に挟まれた領域にコンタクトホール 1 2 が開設されており、コンタクトホール 1 2 において図 1 におけるエミッタ電極 8 がポリシリコン層 1 1 に接続されている。各トレンチゲ

ート電極 6 a、6 b のうち各チャンネル形成用トレンチゲート電極 6 a は、従来構造と同様に、それらの端部からポリシリコンを引き出す構造とすることによりゲート配線部 5 3 に接続されているが、各間引き用トレンチゲート電極 6 b は、ゲート配線部 5 3 に接続されていない。そのため、ゲート配線部 5 3 は、チャンネル形成用トレンチゲート電極 6 a が形成されている部分では幅が広く、間引き用トレンチゲート電極 6 b が形成されている部分では幅が狭く形成されている。ゲート配線部 5 3 の形状は、チャンネル形成用トレンチゲート電極 6 a が接続され、かつ、間引き用トレンチゲート電極 6 b が非接続とされるようなものであればよい。

【0028】また、本発明の第 1 の実施の形態に係るトレンチゲート型 I E G T において、図 7 に示した直線 B B' における断面構造、即ち、図 9 に示した従来のトレンチゲート型 I E G T の第 2 の断面に相当する断面における断面構造は、図 9 を参照して説明すると、図中に示されているトレンチゲート電極 6 がチャンネル形成用トレンチゲート電極 6 a である場合には全く同様の断面構造であるが、図中に示されているトレンチゲート電極 6 が間引き用トレンチゲート電極 6 b である場合には、以下に説明する図 3 に示すように異なった断面構造となる。

【0029】図 3 は、本発明の第 1 の実施の形態に係るトレンチゲート型 I E G T の第 2 の断面における断面構造図であり、図 7 に示したトレンチゲート型 I E G T のゲート配線部 5 3 に対し、間引き用トレンチゲート電極 6 b に平行な方向に交差する直線 B B' における断面構造図である。

【0030】図 3 に示した本発明の第 1 の実施の形態に係るトレンチゲート型 I E G T の第 2 の断面における構造は、以下のように構成されている。P 型エミッタ層 2 上に N 型ベース層 1 が形成されており、図 7 に示したゲート配線部 5 3 下の部分における N 型ベース層 1 上には P+ 層 1 3 が形成されている。P+ 層 1 3 上のゲート配線領域には絶縁酸化膜 1 4 が形成されている。P+ 層 1 3 の両側にはトレンチが形成され、これらを覆ってゲート酸化膜 5 が形成されている。ゲート酸化膜 5 が形成されたトレンチ内にはポリシリコンからなる間引き用トレンチゲート電極 6 b が形成されている。ゲート酸化膜 5 上の部分のうち P+ 層 1 3 及び絶縁酸化膜 1 4 上の部分を覆って、間引き用トレンチゲート電極 6 b と同様にポリシリコンからなるトレンチゲート引出部 6' が形成されている。トレンチゲート引出部 6' は、上述のように、チャンネル形成用トレンチゲート電極 6 a には接続されているが、間引き用トレンチゲート電極 6 b には接続されていない。間引き用トレンチゲート電極 6 b 及びトレンチゲート引出部 6'、絶縁酸化膜 1 4、P+ 層 1 3 上の部分には絶縁酸化膜 7 が形成され、絶縁酸化膜 7 のゲート配線領域部分は除去されている。ゲート配線領域部分が除去された絶縁酸化膜 7 の上から、低抵抗化のための

ゲート配線用金属 1 5 がトレンチゲート引出部 6' 上に形成されており、ゲート配線用金属 1 5 及びトレンチゲート引出部 6' によりゲート配線部 5 3 が構成されている。トレンチゲート電極 6 が形成されている領域上には、絶縁酸化膜 7 を介してエミッタ電極 8 が形成されている。

【0031】以上説明したように、本発明の第 1 の実施の形態に係るトレンチゲート型 IEGT においては、間引き用トレンチゲート電極 6 b がエミッタ電極 8 に接続され、かつ、ゲート配線部 5 3 には非接続とされたことにより、間引き用トレンチゲート電極 6 b の電位はエミッタ電位に固定されることになる。その結果、素子耐圧の低下を招くことなくゲート容量が低減され、大面積素子の場合や素子を並列動作させる場合におけるスイッチング時の電流及び電圧波形振動が小さいトレンチゲート型 IEGT を得ることができる。

【0032】また、前述のように、トレンチゲート型 IEGT においてはエミッタ側のコンタクトを総てのトレンチ間領域には形成せず、上記第 1 の実施の形態の場合、トレンチ間領域 4 個に 1 個の割合でコンタクトホール 1 0 を開設したコンタクト領域を設けており、トレンチ間領域の総数とコンタクト領域の個数との比が 4 : 1 となっている。この比が 5 : 1, 6 : 1, . . . と大きくなるに従い、本発明の構成を採用することによりゲート容量がより大幅に低減されるので、本発明による効果は、より大きくなる。

【0033】上記効果を得るためには、間引き用トレンチゲート電極 6 b の電位は、エミッタ電位と同電位か、又はエミッタ電位に対し負の電位であればよいが、エミッタ電位に対し負の電位とする場合にはコンタクトホール 1 2 を設けず、別途専用の電位発生手段が必要となる。例えば、図 2 に示すように、エミッタ電位と同電位又はエミッタ電位に対し負の電位である電位 V a を発生する電位発生手段 P を設け、間引き用トレンチゲート電極 6 b 又はポリシリコン層 1 1 を電位発生手段 P に接続することにより、間引き用トレンチゲート電極 6 b に電位 V a を与える。しかし、通常は、本実施の形態のように、間引き用トレンチゲート電極 6 b をエミッタ電極 8 に接続することにより、間引き用トレンチゲート電極 6 b の電位はエミッタ電位と同電位とするので、専用の電位発生手段 P は不要である。

【0034】図 4 は、図 7 の領域 C における本発明の第 2 の実施の形態に係る絶縁ゲート型半導体装置（トレンチゲート型 IEGT）の平面図であり、本発明の第 1 の実施の形態に係るトレンチゲート型 IEGT についての図 2 に相当する図面である。尚、図 1 は、図 4 に示されたトレンチゲート電極 6（6 a 及び 6 b）に垂直な直線 A A' における断面構造図でもある。

【0035】本発明の第 2 の実施の形態に係るトレンチゲート型 IEGT は、第 1 の実施の形態と比較するとほ

ぼ同様の構成であり、特に直線 A A' における断面構造は図 1 に示した第 1 の実施の形態の断面構造と全く同様であるが、図 4 の平面図に示されるように、ゲート配線部 5 3 近傍の構成が一部異なっている。即ち、トレンチゲート電極 6（6 a 及び 6 b）のうちチャネル形成用トレンチゲート電極 6 a は、第 1 の実施の形態と同様に、ポリシリコン層の引出部を形成することによりゲート配線部 5 3 に接続されているが、間引き用トレンチゲート電極 6 b は、ゲート配線部 5 3 に非接続とするために、その端部がゲート配線部 5 3 から離隔するように、チャネル形成用トレンチゲート電極 6 a よりも長手方向の長さが短く形成されている。従って、ゲート配線部 5 3 を適当な一定の幅で形成することにより、ゲート配線部 5 3 に対し、チャネル形成用トレンチゲート電極 6 a が接続され、かつ、間引き用トレンチゲート電極 6 b が非接続とされることになる。

【0036】また、本発明の第 2 の実施の形態に係るトレンチゲート型 IEGT において、図 7 に示した直線 B B' における断面構造、即ち、図 9 に示した従来のトレンチゲート型 IEGT の第 2 の断面に相当する断面における断面構造は、図 9 を参照して説明すると、図中に示されているトレンチゲート電極 6 がチャネル形成用トレンチゲート電極 6 a である場合には図 9 に示した断面構造と同様の断面構造であるが、図中に示されているトレンチゲート電極 6 が間引き用トレンチゲート電極 6 b である場合には、以下に説明する図 5 に示すように異なった断面構造となる。

【0037】図 5 は、本発明の第 2 の実施の形態に係るトレンチゲート型 IEGT の断面構造図であり、図 7 に示したトレンチゲート型 IEGT のゲート配線部 5 3 に対し、間引き用トレンチゲート電極 6 b に平行な方向に交差する直線 B B' における断面構造図である。

【0038】図 5 に示した本発明の第 2 の実施の形態に係るトレンチゲート型 IEGT の第 2 の断面における構造は、以下のように構成されている。P 型エミッタ層 2 上に N 型ベース層 1 が形成されており、図 7 に示したゲート配線部 5 3 下の部分における N 型ベース層 1 上には P+層 1 3 が形成されている。P+層 1 3 上のゲート配線領域には絶縁酸化膜 1 4 が形成されている。P+層 1 3 の両側にはトレンチが形成され、これらを覆ってゲート酸化膜 5 が形成されている。但し、この第 2 の断面におけるトレンチは、間引き用トレンチゲート電極 6 b を形成するためのものであり、上述のように間引き用トレンチゲート電極 6 b はゲート配線部 5 3 に非接続となるように、トレンチのゲート配線部 5 3 側の端部がゲート配線部 5 3 から十分に離隔した位置になるように形成されている。ゲート酸化膜 5 が形成されたトレンチ内にはポリシリコンからなるトレンチゲート電極 6 が形成されている。尚、耐圧低下防止のため、間引き用トレンチゲート電極 6 b の端部は、図 5 に示されるように P+層 1 3

により覆われるようにすることが望ましい。従って、P⁺層 13 を形成する際には、間引き用トレンチゲート電極 6b の端部が形成されることとなる領域が含まれるように、その形成領域を設定するとよい。ゲート酸化膜 5 上の部分のうち P⁺層 13 及び絶縁酸化膜 14 上の部分を覆って、トレンチゲート電極 6 と同様にポリシリコンからなるトレンチゲート引出部 6' が形成されている。トレンチゲート引出部 6' は、上述のように、チャンネル形成用トレンチゲート電極 6a には接続されているが、間引き用トレンチゲート電極 6b の端部がゲート配線部 53 から十分に隔離した位置に形成されているため、間引き用トレンチゲート電極 6b には接続されていない。トレンチゲート引出部 6' 上には絶縁酸化膜 7 が形成され、絶縁酸化膜 7 のゲート配線領域部分は除去されている。ゲート配線領域部分が除去された絶縁酸化膜 7 の上から、低抵抗化のためのゲート配線用金属 15 がトレンチゲート引出部 6' 上に形成されており、ゲート配線用金属 15 及びトレンチゲート引出部 6' によりゲート配線部 53 が構成されている。トレンチゲート電極 6 が形成されている領域上には、絶縁酸化膜 7 を介してエミッタ電極 8 が形成されている。

【0039】図 2 に示したように、本発明の第 1 の実施の形態に係るトレンチゲート型 IEGT においては、チャンネル形成用トレンチゲート電極 6a 及び間引き用トレンチゲート電極 6b の長手方向の長さは等しかったため、ゲート配線部 53 に対し、チャンネル形成用トレンチゲート電極 6a が接続され、かつ、間引き用トレンチゲート電極 6b が非接続とされるようにするために、ゲート配線部 53 は、チャンネル形成用トレンチゲート電極 6a が形成されている部分では幅が広く、間引き用トレンチゲート電極 6b が形成されている部分では幅が狭く形成されていた。

【0040】しかし、このような構成では、間引き用トレンチゲート電極 6b が形成されている部分のゲート配線部 53 の幅 L1 や、チャンネル形成用トレンチゲート電極 6a のゲート引出部の幅 L2 が小さくなるため、ゲート配線抵抗が増大し、特に大面積素子の場合はスイッチング速度が遅くなるという弊害がある。また、ゲート配線抵抗の増大という問題を回避するためにゲート配線部 53 の幅 L1 を大きくしようとすると、ゲート配線部 53 と非接続とすべき間引き用トレンチゲート電極 6b の端部とゲート配線部 53 との間隔 L3 を小さくせざるを得ない。ところが、この間隔 L3 をあまりに小さくすると、製造工程中に付着する塵埃等により間引き用トレンチゲート電極 6b の端部とゲート配線部 53 とが接触し易くなり、歩留まりの低下を招くおそれがある。

【0041】そこで、図 4 及び図 5 に示した本発明の第 2 の実施の形態に係るトレンチゲート型 IEGT のように、間引き用トレンチゲート電極 6b は、チャンネル形成用トレンチゲート電極 6a よりも長手方向の長さを短く

形成するとともに、ゲート配線部 53 を適当な一定の幅で形成することにより、ゲート配線抵抗の増大を回避しながら、ゲート配線部 53 に対し、チャンネル形成用トレンチゲート電極 6a が接続され、かつ、間引き用トレンチゲート電極 6b が非接続とされる構成とすることができる。この構成においては、間引き用トレンチゲート電極 6b の長手方向の長さを適当に設定することにより、間引き用トレンチゲート電極 6b の端部とゲート配線部 53 との間隔 L3 を十分に確保することができることから、上記原因による歩留まりの低下を招くおそれもない。

【0042】間引き用トレンチゲート電極 6b がエミッタ電極 8 に接続され、かつ、ゲート配線部 53 には非接続とされて、間引き用トレンチゲート電極 6b の電位がエミッタ電位に固定されたことにより、素子耐圧の低下を招くことなくゲート容量が低減され、大面積素子の場合や素子を並列動作させる場合におけるスイッチング時の電流及び電圧波形振動が小さいトレンチゲート型 IEGT を得ることができることは、第 1 の実施の形態と同様である。

【0043】図 6 は、本発明の第 3 の実施の形態に係る絶縁ゲート型半導体装置（トレンチゲート型 IEGT）の断面構造図であり、図 7 に示したトレンチゲート型 IEGT のトレンチゲート電極 6 に垂直な直線 AA' における断面構造図である。また、本発明の第 3 の実施の形態に係るトレンチゲート型 IEGT についての図 1 又は従来のトレンチゲート型 IEGT についての図 8 に相当する図面である。

【0044】図 6 に示した本発明の第 3 の実施の形態に係るトレンチゲート型 IEGT の断面における構造は、以下のように構成されている。P 型エミッタ層 2 上に N 型ベース層 1、P 型ベース層 3 が順に形成されている。基板表面から P 型ベース層 3 及び N 型ベース層 1 の上層部まで、トレンチゲート電極 6 を形成するためのストライプ状のトレンチが所定間隔 L5、L6、L5、L6、... ごとに略平行に凹設され、基板表面及びトレンチ内部表面にはゲート酸化膜 5 が形成されている。ゲート酸化膜 5 が形成されたトレンチ内部には、低抵抗化されたポリシリコンからなるゲート電極であるトレンチゲート電極 6 が形成されている。

【0045】本発明の第 3 の実施の形態に係るトレンチゲート型 IEGT におけるトレンチゲート電極 6 は、所定間隔 L5 をおいて並んだ 2 個ごとに 1 組とされ、一の組を構成する 2 個のトレンチゲート電極 6 はいずれもチャンネル形成用トレンチゲート電極 6a であり、一の組に属する一方のチャンネル形成用トレンチゲート電極 6a と他方のチャンネル形成用トレンチゲート電極 6a との間に間引き用トレンチゲート電極 6b は設けられていない。また、一の組に属するチャンネル形成用トレンチゲート電極 6a と当該一の組に隣接する他の組のチャンネル形成用

トレンチゲート電極 6 a との間隔は、所定間隔 L 6 である。

【0046】一の組に属するチャンネル形成用トレンチゲート電極 6 a と当該一の組に隣接する他の組のチャンネル形成用トレンチゲート電極 6 a とに挟まれた P 型ベース層 3 の基板表面及びチャンネル形成用トレンチゲート電極 6 a の近傍部分には N 型エミッタ層 4 が形成されている。

【0047】基板表面のゲート酸化膜 5 及びトレンチゲート電極 6 上面の一部又は全部を覆って絶縁酸化膜 7 が形成され、N 型エミッタ層 4 が形成されたトレンチ間領域中央部においてゲート酸化膜 5 及び絶縁酸化膜 7 にはコンタクトホール 10 が開設されている。これらを覆って基板表面側全面にエミッタ電極 8 が形成され、また、基板裏面側の P 型エミッタ層 2 全面を覆ってコレクタ電極 9 が形成されている。従って、エミッタ電極 8 は、コンタクトホール 10 において N 型エミッタ層 4 及び P 型ベース層 3 に接続されている。

【0048】また、本発明の第 3 の実施の形態に係るトレンチゲート型 IEGT において、図 7 に示した直線 B B' における断面構造は、図 9 に示した従来のトレンチゲート型 IEGT の第 2 の断面に相当する断面における断面構造と同様の断面構造である。さらに、図 7 の領域 C における本発明の第 3 の実施の形態に係るトレンチゲート型 IEGT の平面図は、図 10 に示した従来のトレンチゲート型 IEGT の平面図から間引き用トレンチゲート電極 6 b を総て除去した状態の図となる。本発明の第 3 の実施の形態に係るトレンチゲート型 IEGT において、一の組に属するチャンネル形成用トレンチゲート電極 6 a と当該一の組に隣接する他の組のチャンネル形成用トレンチゲート電極 6 a との間の所定間隔 L 5、並びに、一の組を構成する 2 個のチャンネル形成用トレンチゲート電極 6 a の間の所定間隔 L 6 は、上記第 1 若しくは第 2 の実施の形態又は従来の構成におけるそれらと同等の間隔である。特に、所定間隔 L 5 は、これによってその素子のオン特性が決定されるので、同様のオン特性とする場合には一定にする必要がある。

【0049】また、本発明の第 3 の実施の形態に係るトレンチゲート型 IEGT においては、トレンチが凹設される深さは、N 型ベース層 1 と P 型ベース層 3 との接合面からトレンチ底面までの距離 L 4 が、所定距離以下になるようにする。即ち、距離 L 4 は、順方向電圧印加時にチャンネル形成用トレンチゲート電極 6 a 先端部から伸張して形成される空乏層が、そのチャンネル形成用トレンチゲート電極 6 a が近接する N 型ベース層 1 と P 型ベース層 3 との接合部から伸張して形成される空乏層と融合し、チャンネル形成用トレンチゲート電極 6 a 先端部における空乏層の曲率が緩和される程度の距離とする。距離 L 4 の具体的な値は、本実施の形態で想定する例においては、約 3 μm 以下であればよいと考えられる。

【0050】本発明の第 3 の実施の形態に係るトレンチゲート型 IEGT においては、上記構成により、順方向電圧印加時にチャンネル形成用トレンチゲート電極 6 a 先端部から伸張して形成される空乏層が、そのチャンネル形成用トレンチゲート電極 6 a が近接する N 型ベース層 1 と P 型ベース層 3 との接合部から伸張して形成される空乏層と融合し、チャンネル形成用トレンチゲート電極 6 a 先端部における空乏層の曲率が緩和されるので、間引き用トレンチゲート電極がなくても素子耐圧が低下することがなく、間引き用トレンチゲート電極が不要となる。従って、間引き用トレンチゲート電極とエミッタ電極との接続部も不要となるため、上記各実施の形態と比較しても製造歩留まりの大幅な向上が実現されるほか、一素子内のトレンチの本数が削減されることによりトレンチ内部の応力に起因する結晶歪み等の問題も発生することがない。また、チャンネル形成用トレンチゲート電極と近接する間引き用トレンチゲート電極がないため、ゲート・エミッタ間のゲート容量も低減され、本実施の形態においても、大面積素子の場合や素子を並列動作させる場合におけるスイッチング時の電流及び電圧波形振動が小さいトレンチゲート型 IEGT を得ることができる。

【0051】

【発明の効果】本発明に係る絶縁ゲート型半導体装置によれば、略平行に形成された複数のトレンチゲート電極を備えた絶縁ゲート型半導体装置において、トレンチゲート電極のうち、チャンネル形成に寄与するチャンネル形成用トレンチゲート電極以外の間引き用トレンチゲート電極は、ゲート配線部から絶縁され、かつ、エミッタ電極又はエミッタ電位に対し負の電位を発生させる所定の電位発生手段に接続されているものとしたので、即ち、間引き用トレンチゲート電極は、その電位が、常に、エミッタ電位と同電位又はエミッタ電位に対し負の電位とされているものとしたので、素子耐圧の低下を招くことなくゲート容量が低減され、大面積素子の場合や素子を並列動作させる場合におけるスイッチング時の電流及び電圧波形振動が小さいトレンチゲート型 IEGT を得ることができる。

【0052】また、本発明に係る絶縁ゲート型半導体装置の他の構成によれば、裏面側から表面側に向かって順に P 型エミッタ層、N 型ベース層、P 型ベース層が形成された半導体基板の表面側から N 型ベース層上層部に達する所定の深さに、第 1、第 2 の距離を交互において、凹設された複数の略平行のトレンチ内に形成された複数のトレンチゲート電極を備えた絶縁ゲート型半導体装置において、トレンチゲート電極は、チャンネル形成に寄与するチャンネル形成用トレンチゲート電極であって、順に並んだ 2 個ごとに 1 組を構成するものであり、かつ、トレンチの所定の深さは、順方向電圧印加時にトレンチゲート電極先端部から伸張して形成される空乏層が、トレンチゲート電極が近接する N 型ベース層と P 型ベース層

との接合部から伸張して形成される空乏層と融合し、トレンチゲート電極先端部における空乏層の曲率が緩和される程度の深さであるものとしたので、トレンチゲート電極先端部における空乏層の曲率が緩和され、間引き用トレンチゲート電極がなくても素子耐圧が低下することがなく、間引き用トレンチゲート電極が不要となる。従って、間引き用トレンチゲート電極とエミッタ電極との接続部も不要となるため、製造歩留まりの大幅な向上が実現されるほか、一素子内のトレンチの本数が削減されることによりトレンチ内部の応力に起因する結晶歪み等の問題も発生することがない。また、チャネル形成用トレンチゲート電極と近接する間引き用トレンチゲート電極がないため、ゲート・エミッタ間のゲート容量も低減され、本実施の形態においても、大面積素子の場合や素子を並列動作させる場合におけるスイッチング時の電流及び電圧波形振動が小さいトレンチゲート型 IEGT を得ることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係る絶縁ゲート型半導体装置（トレンチゲート型 IEGT）の第 1 の断面における断面構造図。

【図 2】図 7 の領域 C における本発明の第 1 の実施の形態に係るトレンチゲート型 IEGT の平面図。

【図 3】本発明の第 1 の実施の形態に係るトレンチゲート型 IEGT の第 2 の断面における断面構造図。

【図 4】図 7 の領域 C における本発明の第 2 の実施の形態に係る絶縁ゲート型半導体装置（トレンチゲート型 IEGT）の平面図。

【図 5】本発明の第 2 の実施の形態に係るトレンチゲート型 IEGT の断面構造図。

【図 6】本発明の第 3 の実施の形態に係る絶縁ゲート型半導体装置（トレンチゲート型 IEGT）の断面構造図。

【図 7】トレンチゲート型 IEGT の平面図。

【図 8】従来のトレンチゲート型 IEGT の第 1 の断面における断面構造図。

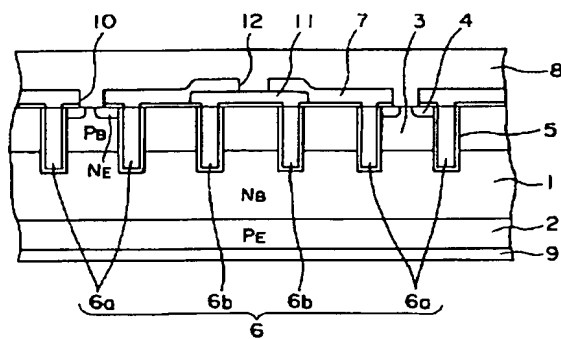
【図 9】従来のトレンチゲート型 IEGT の第 2 の断面における断面構造図。

【図 10】従来のトレンチゲート型 IEGT の平面図。

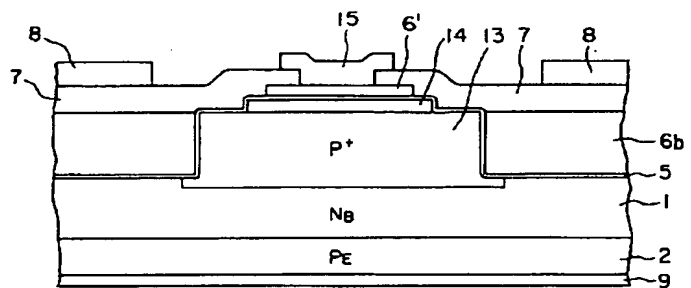
【符号の説明】

- 1 N型ベース層
- 2 P型エミッタ層
- 3 P型ベース層
- 4 N型ソース層
- 5 ゲート酸化膜
- 6 トレンチゲート電極
- 6 a チャネル形成用トレンチゲート電極
- 6 b 間引き用トレンチゲート電極
- 6' トレンチゲート引出部
- 7、14 絶縁酸化膜
- 8 エミッタ電極
- 9 コレクタ電極
- 10、12 ゴンタクトホール
- 11 ポリシリコン層
- 15 ゲート配線用金属

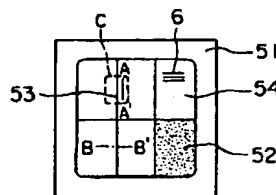
【図 1】



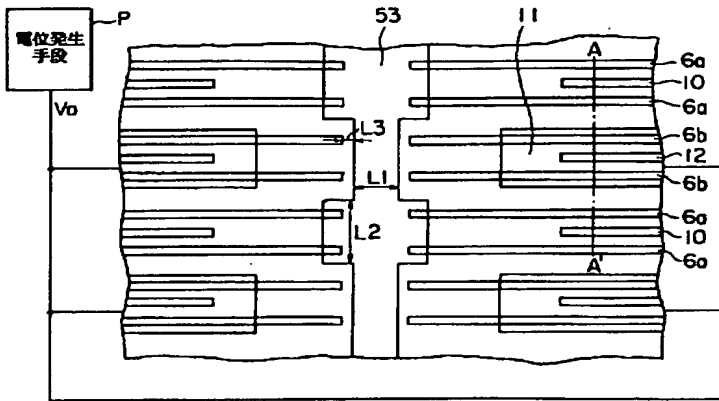
【図 3】



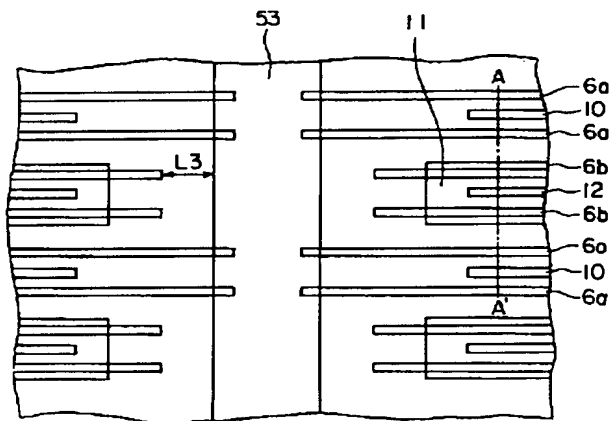
【図 7】



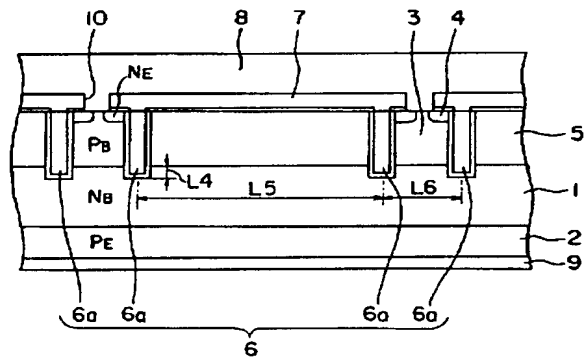
【図 2】



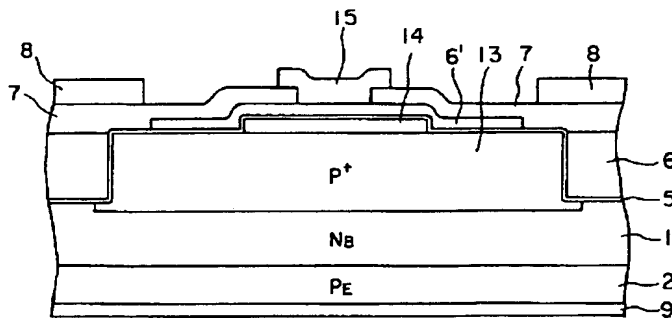
【図 4】



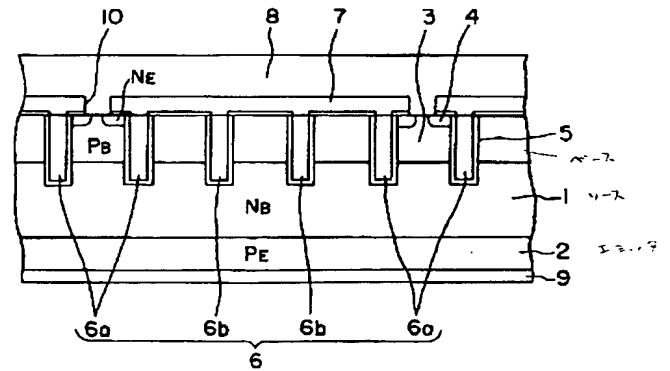
【図 6】



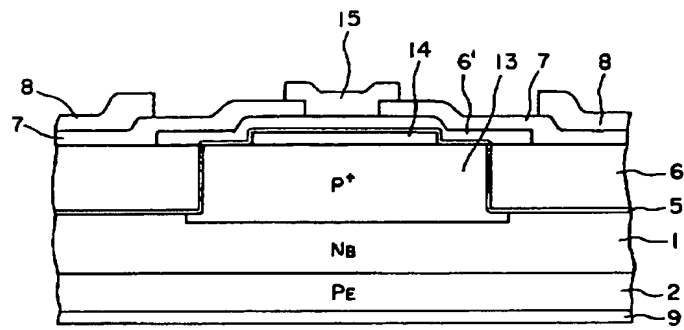
【図 5】



【図 8】



【図 9】



【図 10】

